

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01160367
PUBLICATION DATE : 23-06-89

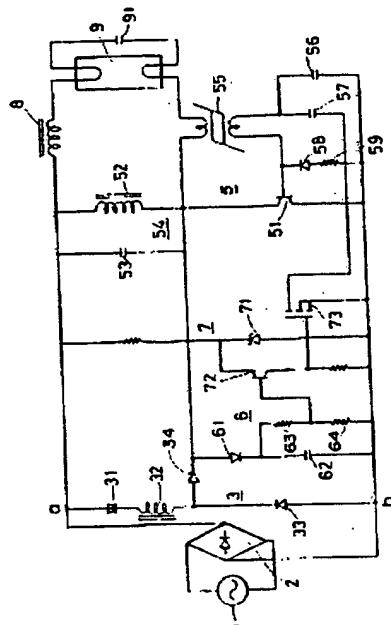
APPLICATION DATE : 17-12-87
APPLICATION NUMBER : 62317463

APPLICANT : TOSHIBA ELECTRIC EQUIP CORP;

INVENTOR : AOKI MINAKI;

INT.CL. : H02M 7/48 H05B 41/24 H05B 41/29

TITLE : INVERTER



ABSTRACT : PURPOSE: To provide high input power factor by making more delay of response of control action than a half period of AC power supply and raising slowly when the oscillating voltage is raising.

CONSTITUTION: A switching circuit of inverter-applied discharge lamp integrates a full-rectified circuit 2 which connects to AC power supply 1 and supplies non-smoothing DC current from this part for inverter 5 together with for the series circuits which are composed of capacitor 31 for power accumulation, inductor 32 and diode 33 of the partly smoothed circuit 3. Peak voltage detector 6 and frequency control circuit 7 are also provided. Inverter 5 consists of main switching transistor(Tr) 51, parallel oscillating circuit 54 composed of inductor 52 and capacitor 53, saturable current transformer 55 for plus feedback and capacitors 56-57. Peak voltage detector 6 detects the peak voltage of collector voltage (Tr) 51 and transfers it to frequency control circuit 7. By this reason, the total envelope of waveforms are similar to the DC power supply when the input voltage is low and the oscillating voltage raising.

COPYRIGHT: (C)1989,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平1-160367

⑫ Int.Cl.¹H 02 M 7/48
H 05 B 41/24
41/29

識別記号

厅内整理番号

⑬ 公開 平成1年(1989)6月23日

E-8730-5H
H-7913-3K
C-7913-3K

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 インバータ

⑮ 特 願 昭62-317463

⑯ 出 願 昭62(1987)12月17日

⑰ 発明者 清水 恵一 東京都港区三田1丁目4番28号 東芝電材株式会社内
 ⑱ 発明者 乾 健一 東京都港区三田1丁目4番28号 東芝電材株式会社内
 ⑲ 発明者 青池 南城 東京都港区三田1丁目4番28号 東芝電材株式会社内
 ⑳ 出願人 東芝電材株式会社 東京都港区三田1丁目4番28号
 ㉑ 代理人 弁理士 伊東 哲也 外1名

明細書

1. 発明の名称

インバータ

2. 特許請求の範囲

1. 交流電源を整流した直流電源により発振動作するとともに、この発振動作により発生する発振電圧を制御する手段を有するインバータにおいて、

上記発振電圧を上昇させる制御動作の応答時間を上記交流電源の半周期より長くするとともに、この発振電圧を低下させる制御動作の応答時間を上記上昇させる動作より速くしたことを特徴とするインバータ。

2. 前記直流電源は、部分平滑または谷埋め平滑形の平滑回路を備えるものである特許請求の範囲第1項記載のインバータ。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、交流電源を整流して得られる直流電源を入力されて発振するとともに、この発振によ

り発生する電圧を制御する手段を有するインバータに関し、特に、この電圧制御動作による上記交流電源入力力率の低下を緩減または防止したインバータに関する。

【従来の技術】

従来より、蛍光ランプ等の放電灯を点灯する装置（電子安定器）として、直流電源より高周波、例えば20～100kHzの出力を発生するインバータが用いられている。このようなインバータにおいて、ランプ輝度の安定化またはスイッチング素子の保護等の目的で出力電圧やスイッチング素子への印加電圧を制御することが考えられている。このような制御は、通常、ハンチング等の異常が起きない限り、応答が速ければ速い程良いと考えられていた。

一方、このようなインバータの直流電源としていわゆる部分平滑または谷埋め平滑方式の電源装置が知られている。この電源装置は、交流電源より整流器で脈流出力を得、この脈流出力のうち所定の電圧、例えばピーク電圧の1/2より低い部

特開平1-160367(2)

分のみを平滑するもので、第2図(a)に示すような波形の直流電圧を出力する。この電源装置は、コンデンサ入力型の整流回路に比べて、平滑用コンデンサに流れる電流が少ないため、入力効率が高い。

【発明が解決しようとする問題点】

ところが、このような部分平滑または谷埋め平滑方式の電源装置を直流水源として動作するインバータにおいて発振により発生する出力電圧やスイッティング素子への印加電圧等の電圧（以下、発振電圧という）を制御する場合、制御の動作または応答を遅くすると、入力効率が悪化するという不都合があった。例えば、スイッティング素子に印加されるピーク電圧を制御する場合、動作が遅ければ入力電圧にサーチが重畠した場合に速やかに応答してスイッティング素子へのストレスを減少または防止させることができるが入力効率が悪化する。一方、動作が遅ければ入力効率は良いがサーチに応答できない。第2図(c)は、制御動作が遅い場合の発振電圧の包絡波形を示す。このよう

に発振電圧の包絡波形が平滑になると、交流入力電流波形はコンデンサ入力型整流回路の波形に近いピーク値の高いものとなり、入力効率は悪化する。

本発明の目的は、上述の従来形における問題点に鑑み、交流電源を整流した直流電源により動作するとともに、発振電圧を制御するインバータにおいて、上記交流電源に対する入力効率を高く保つことにある。

【問題点を解決するための手段】

上記目的を達成するため本発明では、交流電源を整流した直流電源により動作するとともに、発振電圧を制御するインバータにおいて、この発振電圧を上界させる制御動作の応答時間を上記交流電源の半周期より長くするとともに、この発振電圧を低下させる制御動作の応答時間を上界させる動作より速くしたことを特徴とする。

本発明において、発振周波数は、特に、制限はないが、可聴周波数より高い周波数である20～100kHzが好ましく用いられる。

【作用】

本発明によれば、発振電圧を上界させる場合、制御動作の応答を交流電源の半周期より遅くしたため、発振電圧は包絡波形が入力直流水圧とはほぼ同じ波形に保たれまま緩やかに上界する。したがって、部分平滑または谷埋め平滑方式の直流電源を用いた場合、交流入力電流波形は実質的に変化せず、これらの平滑方式の長所である高入力効率が保たれる。一方、発振電圧を低下させる動作は従来通りであり、速い段良い。

【実施例】

以下図面を用いて本発明の実施例を説明する。第1図は本発明の一実施例に係るインバータを適用した放電灯点灯装置の構成を示す。同図におい

て、1は交流電源で、この交流電源1に整流装置例えば全波整流回路2を接続し、以降の回路にはこの整流回路2からの非平滑直流（整流出力）を供給する。この整流出力端子a、b間に、部分平滑回路3の電力半導体用コンデンサ31、インダクタ32およびアイソレート用ダイオード33からなる並列回路を接続するとともに、インバータ5を接続している。6はピーク電圧検出回路、7は周波数制御回路である。

インバータ5は、主スイッティング素子であるトランジスタ51、正側整流出力端子aとトランジスタ51との間に接続されたインダクタ52とコンデンサ53とからなる並列（電圧）共振回路54、負荷電流を検出してトランジスタ51のベースに正帰還する可飽和形電流トランス（C.T.）55、およびコン

特開平1-160367(3)

デンサ56、57等を具備する。トランジスタ51のエミッタは負側整流出力端子61に接続し、CT55の2次巻線は一端をトランジスタ51のベースに接続するととともに他端はコンデンサ66を介して負側整流出力端子61に接続してある。また、トランジスタ51のベース・エミッタ間に逆並列にダイオード68と抵抗69との直列回路を接続してある。

さらに、インダクタ82および上記CT55の1次巻線を介して負荷である放電灯、例えば蛍光ランプ9を接続してある。また、トランジスタ51のコレクタと上記インダクタ82およびダイオード83の接続点とをダイオード84を介して接続してある。

ピーク電圧検出回路6は、トランジスタ51のコレクタ電圧のピーク値Vpを検出するためのもので、トランジスタ51のコレクタ・エミッタに対し順方向接続されたダイオード81とコンデンサ62との直列回路を具備する。抵抗63と64は、このコンデンサ62の端子電圧を分圧してVp/Rの電圧を作成し周波数制御回路7へ送出するためのもの

である。

周波数制御回路7は、基準電圧源としてのゼナーダイオード71、ゼナーダイオード71のゼナー電圧である基準電圧Vrefとピーク電圧検出回路6の出力電圧Vp/Rと比較してその誤差電圧に応じたコレクタ電圧を発生するトランジスタ72、トランジスタ72のコレクタ電圧に応じてインピーダンスが変化する可変インピーダンス素子としてのFET73を制御する。

次に、第1図の放電灯点灯装置の動作を説明する。

交流電源1を投入し、整流回路2の出力端子6、6間に脈流出力が発生すると、トランジスタ51は電圧共振回路54等を介してコレクタに正の電圧が印加されるとともに、図示しない起動回路からベース電流が供給されて導通する。これにより、正側整流出力端子6とトランジスタ51のコレクタとの間に接続されているインダクタ8、ランプ9の両フィラメント、起動用コンデンサ81およびCT55の1次巻線からなる直列回路、ならびに並列共

振回路54が駆動される。この際、上記直列回路からなる負荷回路に流れる電流がCT55により検出され、トランジスタ51のベースに正帰還される。そして、CT55が飽和するかコンデンサ56、57が充電されてトランジスタ51のベース電流が減少し、オン状態を維持できなくなるとトランジスタ51は上記正帰還により急激にオフする。オフ期間中は上記負荷回路と並列共振回路54における共振により負荷電流が一旦反転し次に再度正転する。これにより、トランジスタ51はCT55の2次巻線からベース電流を供給され、上記正帰還によりオンする。このように上記正帰還およびトランジスタ51のコレクタ回路における共振により、発振が開始する。

部分平衡回路3においては、インバータ5のトランジスタ51が発振によりオンする度に、正側整流出力端子6からコンデンサ81、インダクタ82、ダイオード84およびトランジスタ51のコレクタ・エミッタを通じ負側整流出力端子6に至る経路で電流が流れ、コンデンサ81が充電される。この充

電された電荷は、整流回路2の脈流出力が所定の電圧、すなわちコンデンサ81の充電電圧より低い区間、ダイオード83およびインダクタ82を介してコンデンサ81からインバータ5に供給される。これにより、インバータ5には第2図(a)に示すような脈流出力の谷部分が埋められた波形の直流電圧が入力される。また、第2図(b)はトランジスタ51のコレクタ・エミッタ間電圧波形を示す。

電源投入直後は、ランプ9はオフしているため、インダクタ8とコンデンサ81からなる共振回路のQが高い。このため、ランプ9はこの共振回路を介して充分なフィラメント電流を供給されるとともに、両フィラメント間に充分な電圧を印加される。これにより、ランプ9は予熱され、点灯する。点灯後は、ランプ9は両フィラメント間に低インピーダンスとなり、インダクタ8とコンデンサ81との直列共振回路はQダンプされる。以後、ランプの点灯中、インバータ5は実質的にインダクタ8、82およびコンデンサ81により定まる共振と上記CT55およびコンデンサ56、57等からなるペー

特開平1-160367(4)

ス駆動回路の作用により定まる周波数 ω_1 で発振を維持する。ここで、発振周波数 ω_1 は、ランプ起動時およびランプ点灯時にかかわらず常に上記電圧共振回路54の共振周波数 ω_1 より高めとなるよう規定されているものとする。

ランプ9の点灯時、ピーク電圧検出回路6ににおいては、ダイオード81を介してコンデンサ62がほぼトランジスタ51のコレクタ電圧のピーク値 V_p に充電され、このコンデンサ62の端子電圧を抵抗63と81ことで V_p/n に分圧した後、周波数制御回路7に送出する。

周波数制御回路7においては、ピーク電圧検出回路6の出力電圧 V_p/n がトランジスタ72のベースに印加される。トランジスタ72のエミッタはゼナーダイオード71のゼナー電圧である基準電圧 V_{ref} にバイアスされており、電圧 V_p が基準電圧 V_{ref} からトランジスタ72のベース・エミッタ電圧 V_{be} を差し引いた電圧の n 倍である $(V_{ref} - V_{be}) \times n$ より大きければトランジスタ72はオフし、FET73がオフする。これにより、インバータ9の発振周波数 ω_1 を可変することができる。

今、ピーク電圧 V_p が $(V_{ref} - V_{be}) \times n$ に近い所定の設定電圧 V_{set} より低下すると、トランジスタ96に流れる電流が増加し、FET73のインピーダンスが低下する。これにより、CT55の1次巻線およびコンデンサ56、57を介してトランジスタ51のベースを駆動するに充分な電流が流れると同時に、トランジスタ51のオン期間が延び、発振周波数が低下して共振周波数 ω_1 に接近し、ピーク電圧 V_p が上昇する。この場合、コンデンサ62は抵抗83および84を介して放電するが、ここでは、これらのコンデンサ62および抵抗83、84により定まる放電時間定数を交流電源1の半周期、例えば10msより長く設定してある。このため、トランジスタ51のコレクタ・エミッタ間電圧のピーク電圧 V_p は、第2図(b)に示すように包絡波形がほぼ一定に保たれて比較的緩かに上昇し、交流電源1の入力功率はほとんど変化しない。

一方、ピーク電圧 V_p が設定電圧 V_{set} より上昇すると、回路各部が上記とは逆に動作してピーク電圧 V_p は低下する。この場合、コンデンサ62

からはコンデンサ57が遮断され、トランジスタ51のベースにはコンデンサ63のみが接続されることとなる。また、電圧 V_p が $(V_{ref} - V_{be}) \times n$ より小さい場合はトランジスタ72が能動ないし導通状態となる。この場合、FET73は可変インピーダンス素子として動作し、トランジスタ72のコレクタ電圧に応じたインピーダンスとなる。

このインバータ9において、トランジスタ51のオフ期間は上記トランジスタ51のコレクタに接続された負荷回路および電圧共振回路54等からなる回路の共振周波数により定まるため、一定である。しかし、オン期間は、CT55およびコンデンサ56、57に流れるトランジスタ51のベース電流により定まる。そして、このトランジスタ51のベース電流は、CT55の2次巻線に対しトランジスタ51のベースと直列に接続されるコンデンサ56、57およびFET73の等価インピーダンスならびにCT55の飽和レベルにより定まる。したがって、FET73のインピーダンスを可変することにより、インバータ9の発振周波数 ω_1 を可変することができる。

はダイオード81を介して充電されるが、ダイオード81の内部抵抗は抵抗83、84より極めて小さい。したがって、これらのダイオード81の内部抵抗およびコンデンサ62により定まる放電時間定数は小さく、トランジスタ51のコレクタ・エミッタ間電圧のピーク電圧 V_p は、極めて短時間に低下する。

このように、このインバータにおいては、入力功率を損なうことなく、トランジスタ51のコレクタ・エミッタ間電圧のピーク値を安定化することができる。また、入力電圧にサージが重畠し、それがトランジスタ51のコレクタ・エミッタ間に印加されようすると、このサージをダイオード81とコンデンサ62との直列回路間にバイパスするため、急峻なサージはこの直列回路により吸収する。このように、急峻なサージはダイオード81とコンデンサ62との直列回路により、また幅の広いサージであって上記直列回路により吸収しきれなかった分については上記安定化動作により吸収することができ、トランジスタ51を劣化または破壊から保護することができる。

特開平1-160367(5)

【発明の適用例】

なお、本発明は上述の実施例に限定されることなく、適宜変形して実施することができる。例えば上述においては、発振電圧を上昇させる側の時定数をピーク電圧検出用のコンデンサ61と抵抗63、64により設定しているが、FET73のゲート等、他の部分に時定数回路を設けるようにしてもよい。また、上述のコンデンサ62の代わりにセラミックパリスタを用いることにより、サーヴ入力時は本発明のパリスタとして作用させるとともに、定常動作時はセラミックパリスタをピーク電圧検出用のコンデンサとして用いることができる。また、本発明は第1図に示す自動式インバータに限らず、他の公知の自動式および他励式のインバータに適用することもできる。

【効果】

したがって、本発明によれば、部分平滑や谷埋め平滑のような脈動波形が直流電源として入力された場合、入力電圧が低く発振電圧を上昇させるときは全体の包絡波形が直流電源波形とほぼ相似

になり、高入力効率が保たれる。

4. 図面の簡単な説明

第1図は、本発明の一実施例に係る他励式インバータを適用した放電灯点灯装置の回路図、

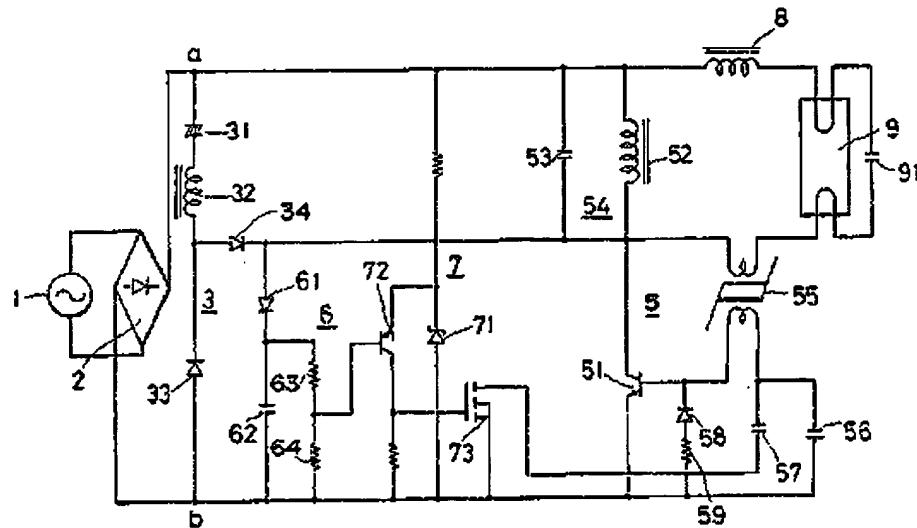
第2図は、インバータの各部の電圧波形図であり、(a)は入力電圧波形、(b)は第1図におけるトランジスタ51のコレクタ・エミッタ間電圧波形図、(c)は從来装置における(b)と同様の図である。

1：交流電源、2：整流回路、3：部分平滑回路、5：インバータ、6：ピーク電圧検出回路、7：周波数制御回路、51：トランジスタ、61：ダイオード、62：コンデンサ、63、64：抵抗。

特許出願人 東芝電材株式会社

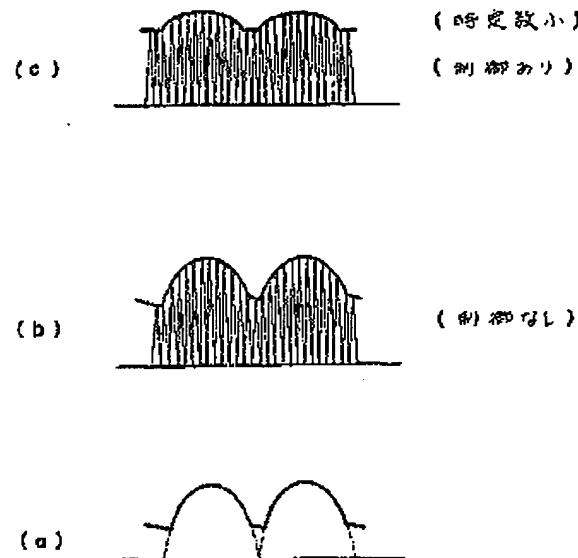
代理人 弁理士 伊集哲也

代理人 弁理士 池内義明



第 1 図

特開平1-160367(6)



第 2 図